

基于改进混合式CORDIC算法的 直接数字频率合成器设计

张晓彤, 辛 茹, 王 沁, 李 涵

(北京科技大学计算机系, 北京 100083)

摘 要: 提出一种新的面积优化的直接数字频率合成器设计方案. 采用改进混合式CORDIC算法, 通过削减旋转相位判断电路和乘法单元, 改进和调整相位旋转误差, 并利用简单的移位和加/减电路完成复杂的幅度修正, 降低了电路复杂度, 缩减了电路规模. 结构上采用流水线式多级循环迭代技术, 实现移位和加/减电路的高度复用. 实验结果表明本方法输出频谱杂散小于-70dB, 并在运算速度和资源利用率上具有一定的优势. 该设计已成功用于宽带网络SoC芯片的频率调制模块.

关键词: 直接数字频率合成器; 混合式CORDIC; 面积优化; 多级循环迭代

中图分类号: TP302.2 **文献标识码:** A **文章编号:** 0372-2112(2008)06-1144-05

Design of Direct Digital Frequency Synthesizer Based on Improved Hybrid CORDIC Algorithm

ZHANG Xiao-tong, XIN Ru, WANG Qin, LI Han

(Computer Science Department, University of Science and Technology Beijing, Beijing 100083, China)

Abstract: An area efficient design proposal of a direct digital frequency synthesizer is presented. It adopts the improved hybrid coordinate rotation digital computer (CORDIC) algorithm. By cutting down all of rotational phase decision circuits and multipliers, adjusting rotational phase error, and finishing complicated amplitude amendment with simple shift and addition/subtraction circuits, the proposal can decrease the hardware complexity and reduce the circuit area. The pipeline multilevel loop iteration implementation architecture is adopted for reusing shifting and addition/subtraction components highly. The simulation indicates that the miscellaneous interference of output frequency spectrum is lower than -70dB. And the design has superior speed and resource usage. The VLSI design proposal has been used in a frequency modulation module of the broadband network System on Chip (SoC) platform.

Key words: direct digital frequency synthesizer; hybrid CORDIC; area efficient; multilevel loop iteration

1 引言

频率合成技术是现代通信系统的重要组成部分, 它将一个或多个高稳定性和高准确度的基准频率经过一定变换, 产生同样稳定性和准确度的任意频率. 随着现代通讯技术的发展, 对频率合成技术的带宽、分辨率、转换速度等要求不断提高, 直接数字频率合成器(Direct Digital Frequency Synthesizer, DDFS)以频率转换快、输出信号建立时间短、频谱纯度高、输出信号频率范围大、全数字化处理、便于单片集成等优越性能, 得到了广泛应用. 目前, 直接数字频率合成器的实现方法主要有ROM(Read Only Memory)查表法、泰勒级数求值法、CORDIC(COordinate Rotation DIgital Computer)算法等. 其中ROM查表法结构简单、准确度高, 应用广泛, 但受ROM容量

限制, 性能提高很有限^[1]; 泰勒级数求值法运算复杂, 在硬件实现的复杂度和速度上受到一定限制^[2]; CORDIC算法只需要简单的移位和加/减电路即可完成大部分计算功能, 易于VLSI或FPGA实现, 因此得到了越来越多的关注^[3,4].

本文提出一种适用于VLSI设计的直接数字频率合成器实现新方法. 首先, 在传统CORDIC算法基础上加以改进, 提出一种新的改进混合式CORDIC算法, 该算法可预先确定各级迭代的旋转方向, 并对产生的相位误差进行调整, 同时利用软硬件协同设计的方法简化了旋转结果幅度的修正. 其次, 基于改进混合式CORDIC算法设计了流水线式多级循环迭代的直接数字频率合成器体系结构, 提高了移位和加/减电路复用率, 实现了面

收稿日期: 2007-06-26; 修回日期: 2008-04-15

基金项目: 北京市科技计划重大项目“交互式有线数字电视信道传输核心技术开发”(京科技发No. [2002]188); 北京市科技计划“SOC设计服务及重点产品关键技术研究”(No. D0306008041021)

积优化。

2 传统 CORDIC 算法

CORDIC 算法是 J. E. Volder 在 1959 年提出的^[5], 它实现直接数字频率合成器的基本思想是: 通过一组预先定义的基本相位线性组合集 $\{\theta_i\}$ 的旋转来逼近目标相位 θ , 从而达到频率合成的目的。为简化运算, 通常选取 $\theta_i = \arctan(2^{-i})$, 其中 $i \geq 1$, 此时 CORDIC 算法的迭代方程可表示为:

$$\begin{cases} X_{i+1} = K_i(X_i - \sigma_i 2^{-i} Y_i) \\ Y_{i+1} = K_i(Y_i + \sigma_i 2^{-i} X_i) \\ Z_{i+1} = Z_i - \sigma_i \theta_i \end{cases} \quad (1)$$

式中 $K_i = 1/\sqrt{1+2^{-2i}}$ 为迭代幅度修正因子, Z_{i+1} 表示当前旋转相位与期望值的偏差, $\sigma_i = \text{sgn}(Z_i)$, $\sigma_i \in \{-1, 1\}$ 表示当前相位与期望值偏差的正负, 用于指示下次迭代的旋转方向。旋转矢量相位变化的同时, 幅度也发生了变化, 因此在迭代过程中, 还需要对迭代结果进行幅度修正。但不论是在每次迭代中分别进行幅度修正, 还是所有迭代完成后统一修正, 都会用到大量乘法部件,

电路庞大且运算复杂。目前多采用的基于 CORDIC 算法的 DDS 体系结构如图 1 所示, 该方法也依然不能避免乘法部件的使用。针对这一问题, 本文提出了改进混合式 CORDIC

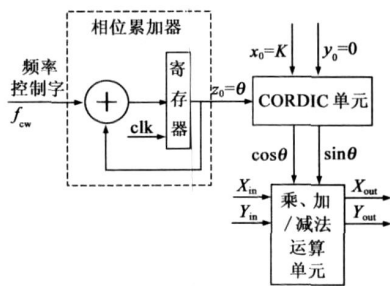


图 1 基于 CORDIC 算法直接数字频率合成器的一般体系结构

3 改进混合式 CORDIC 算法

Shaoyun Wang 对传统 CORDIC 算法进行了部分改进, 提出了混合式 CORDIC 算法^[6], 该方法能够预测部分相位旋转方向, 具有实现电路简单、运算速度快的优点, 但会产生较大的相位误差, 且没有对幅度修正因子进行处理。针对上述问题, 本文对混合式 CORDIC 算法进一步加以改进, 调整了旋转相位误差。同时加入了幅度修正单元, 采用区间二分逐步逼近法对幅度修正因子进行简化, 利用简单的移位和加/减电路完成复杂的幅度修正, 避免了乘法部件的使用。

3.1 旋转方向的确定及误差处理

设 CORDIC 旋转相位 θ 由 N bits 二进制数表示 $\theta_N = \sum_{i=1}^N \delta_i 2^{-i}$, 其中 $\delta_i \in \{0, 1\}$, 混合式 CORDIC 算法中将

旋转相位 θ 分为两部分:

$$\theta = \theta_H + \theta_L = \sum_{i=1}^m \delta_i 2^{-i} + \sum_{i=m+1}^N \delta_i 2^{-i} \quad (2)$$

当 $i > m = \lceil \frac{N - \log_2 3}{3} \rceil$ 时, 满足 $\tan^{-1}(2^{-i}) = 2^{-i\theta}$,

因此 θ_L 的旋转方向可由对应二进制位系数直接获得。但 θ_H 旋转方向的确定需要将角度进一步分解:

$$\begin{aligned} \theta_H &= \sum_{i=1}^m [2^{-i-1} + (2\sigma_i - 1)2^{-i-1}] \\ &= 2^{-1} + \sum_{i=1}^m [(2\delta_i - 1)2^{-i-1}] - 2^{-m} \\ &= 2^{-1} + \sum_{j=2}^{m+1} [r_j 2^{-j}] - 2^{-m} \end{aligned} \quad (3)$$

其中 $r_j = 2\delta_{j-1} - 1 \in \{-1, 1\}$, 由式(3)可知, θ_H 的旋转方向可由前一二进制位的系数获得, 且第一次迭代的旋转方向固定。但当 $i \leq m$ 时, $\tan^{-1}(2^{-i}) \neq 2^{-i}$, 若直接由前一位系数来确定旋转方向, 则会产生相位近似误差:

$$\xi_{err} = \tan^{-1}(2^{-i}) - 2^{-i} \quad (4)$$

经过 $m+1$ 次迭代, 这种相位近似误差将会被放大:

$$\xi_{err} = \sum_{i=1}^{m+1} \sigma_i [\tan^{-1}(2^{-i}) - 2^{-i}] \quad (5)$$

假设经过 N 级旋转后的向量为 v , 理想旋转结果为 v_{out} , 若产生的相位误差在整个迭代中不予纠正, 且考虑幅度修正因子的影响, 经过 N 次迭代, 最终输出的迭代向量最大近似误差为:

$$\begin{aligned} \varepsilon_{err} = K_N |v_{out} - v| &\leq K_N \sqrt{(1 - \cos \xi_{err})^2 + \sin^2 \xi_{err}} |v| \\ &\leq K_N |v| \cdot |\xi_{err}| \leq 2^{-N} K_N |v| \end{aligned} \quad (6)$$

式中 $K_N = \prod_{i=1}^N 1/\sqrt{1+2^{-2i}}$, 其中还未包括 θ_L 相位旋转中引起的近似误差。

在算法改进中, 本文直接数字频率合成器的设计将相位旋转的迭代分为两级, 分别对 θ_L 和 θ_H 旋转中引起的相位近似误差进行调整。首先, 将前 $m+1$ 个 2^{-i} 分解为若干个 $\tan^{-1}(2^{-i})$ 相加的形式:

$$2^{-i} = \exists_{i=1}^{m+1} \tan^{-1}(2^{-i}) + \text{difer}_i \quad (7)$$

difer_i 为 $m+1$ 后的 $\tan^{-1}(2^{-i})$ 相加的形式, 其值可直接由 2^{-i} 代替。在第一级 1 至 $m+1$ 步迭代中, 旋转方向由分解调整后相位的前一二进制位系数给出。其次, 将第一级迭代产生的相位累计近似误差 ξ_{err} , 在第二级迭代旋转方向生成前进行修正, 这样可能会产生一个进位, 该进位位的权值为 2^{-m+1} , 因此我们需要增加一次相位为 $\tan^{-1}(2^{-m+1})$ 的旋转来进行校正, 并且 ξ_{err} 的符号指明了该次旋转的方向。这样, 各步迭代的旋转方向均可预测, 旋转相位判断电路可以全部省略, 不仅减少了晶

片面积,提高了运算速度,同时降低了相位误差。

3.2 幅度修正因子的简化

幅度修正因子 $K_N = \prod_{i=1}^N K_i = \prod_{i=1}^N 1/\sqrt{1+2^{-2i}}$ 计算量大,运算复杂,改进算法中增加了一次迭代,意味着幅度修正因子也要发生相应的变化, $K'_N = K_N/\sqrt{1+2^{-2m-2}}$ 。本文提出的改进混合式 CORDIC 算法采用区间二分逐步逼近法将幅度修正因子化简为多个以 2^{-i} 为基底的多项式相乘的形式,使用简单的移位和加/减电路来完成幅度的修正。化简步骤如下:

(1) 确定初始区间及初始逼近值

当迭代次数与用户数据精度要求确定时,幅度修正因子的值 K'_N 唯一,且满足

$$\lim_{N \rightarrow \infty} \prod_{i=1}^N 1/\sqrt{1+2^{-2i}} \leq K'_N \leq \sqrt{4/5} \quad (8)$$

选取初始区间 $[a_p, b_p]$, 其中

$$\begin{cases} a_p \leq \lim_{N \rightarrow \infty} \prod_{i=1}^N 1/\sqrt{1+2^{-2i}} \\ b_p \geq \sqrt{4/5} \end{cases} \quad (9)$$

且 a_p 与 b_p 均为 1 ± 2^{-p} (p 为整数) 形式,并使 $|b_p - a_p|$ 尽可能小。取初始逼近计数值 $i = \lceil \min(\log_2 a_p, \log_2 b_p) \rceil + 1$, 初始逼近值 $K' = a_p$ 。

(2) 计算逐步逼近值与实际值的误差,根据误差进行区间划分,并生成逼近多项式

计算 $K'_{\text{add}} = K'(1+2^{-i})$ 与 $K'_{\text{sub}} = K'(1-2^{-i})$, 并计算 $K'_{\text{add}}, K'_{\text{sub}}$ 和逐步逼近值 K' 分别与实际值 K'_N 的误差绝对值 $\text{err}_a, \text{err}_s$ 和 err 。根据误差值重新计算逼近值 K' :

$$\begin{cases} K' = K'_{\text{add}} & (\text{err} > \text{err}_a, \text{且 } \text{err}_s \geq \text{err}_a) \\ K' = K'_{\text{sub}} & (\text{err} > \text{err}_s, \text{且 } \text{err}_s < \text{err}_a) \\ K' = K' & (\text{其它}) \end{cases} \quad (10)$$

此时生成的新区间长度是原来的一半。

(3) 计算当前逐步逼近值与实际值的误差 $\text{err} = |K'_N - K'|$, 若 err 满足用户数据精度要求,则停止逼近, K' 即为化简后的幅度修正因子;否则,取 $i = i + 1$, 重复步骤 2)。

利用区间二分逐步逼近法可以将幅度修正因子化简为如下形式:

$$K'_N = \prod_{i=1}^N 1/\sqrt{1+2^{-2i}} \approx (1 \pm 2^{-1k})(1 \pm 2^{-2k}) \dots (1 \pm 2^{-Nk}) \quad (11)$$

其中 $k \in \{0, 1\}$ 。在硬件实现上,本文采用只读存储器 ROM,用于存储提前分解好的幅度修正因子的移位数和加/减电路选通参数。用户可以根据需求自定义迭代次数及数据精度,软件系统根据用户的不同输入对相应的

幅度修正因子进行化简,生成化简多项式,并将移位与加/减电路选通等参数存储到 ROM 查找表中,以方便硬件的运算。由于 ROM 只需要存储分解后的幅度修正因子的少量参数,所以规模比较小,具有实现简单、占用资源小、速度快的特点。

4 基于改进混合式 CORDIC 算法的 DDFS 设计

CORDIC 运算单元较为常用的有循环迭代和流水线两种实现结构^[7,8],循环迭代结构利用同一组硬件反复进行迭代,直到满足精度要求输出结果,其优点是面积小,但吞吐量较小;流水线结构占用面积较大,吞吐量也相对较大。

本文结合两种结构的优点,基于上述改进混合式 CORDIC 算法提出了一种新的直接数字频率合成器的设计方法,该方法将 CORDIC 算法的旋转级数分为三级,所有旋转方向均预先确定,第一二级旋转分别用于相位 θ_H 和完成误差修正的 θ_L 的调整,第三级旋转用于计算结果幅度的修正。输入频率控制字 f_{wc} 位长的不同,则总的迭代次数不同,三级旋转的迭代次数分别为 $m+1, N-m+1$ 和 q ,其中 N 为参与迭代的频率控制字位长, q 为幅度修正迭代次数, $m = \lceil (N - \log_2 3) / 3 \rceil$ 根据迭代次数的不同,可以将三级旋转进一步划分,以便在各级旋转间形成流水。

为了节约资源,在各级旋转内部采用比系统时钟快 L 倍的内部时钟,将一个系统时钟周期的操作分成 L 个子操作, L 由最长流水段的时延与系统时钟的比值确定,这样逻辑电路可以通过改变每个内部时钟周期的使能信号来实现对每个子操作分别控制,因此也就可以实现一个流水段复用一个移位和加/减单元。设计中采用流水线式多级循环迭代结构还能够适用于多种旋转精度的要求,灵活性较高,面积有很大的缩减,同时将各级旋转形成流水,延时也有所减小,吞吐量增加。

以输入频率控制字 19bits 为例,设计的全局架构如图 2 所示。

基于改进混合式 CORDIC 算法的直接数字频率合成器主要由相位累加器、混合式 CORDIC 单元和后处理单元三个模块构成,其中混合式 CORDIC 单元是系统的

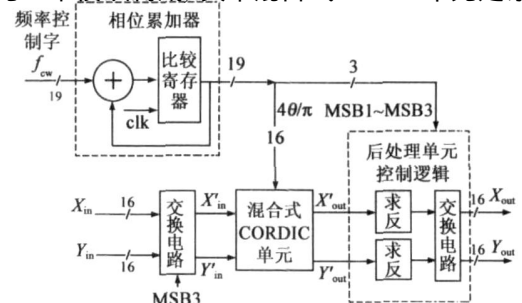


图 2 基于改进混合式 CORDIC 算法的 DDFS 全局架构

核心。系统输入为 X_{in} 、 Y_{in} 和频率控制字 f_{wcc} ，经过相位累加器模块后将旋转相位限制在 $[0, 2\pi]$ ，将高 3bits 直接送入后处理单元，低 16bits 进入混合式 CORDIC 单元，此时实际旋转相位就压缩到了 $[0, \pi/4]$ 。

混合式 CORDIC 单元是整个系统的核心，电路结构相对复杂，单元结构如图 3 所示。

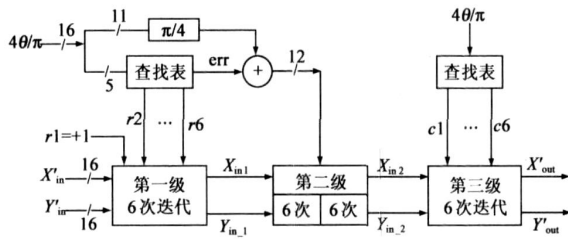


图 3 混合式 CORDIC 单元结构

运用改进混合式 CORDIC 算法计算可得出三级旋转的迭代次数分别为 6 次、12 次和 6 次，基于本文设计的流水线多级循环迭代的直接数字频率合成器体系，进一步将第二级旋转划分为两部分，每部分执行六次迭代运算，这样 CORDIC 运算单元从输入到输出形成了四级流水，此时系统时钟为流水段内部时钟的 6 倍，每个内部时钟周期完成一次迭代运算。输入经过四级流水的迭代运算后，向外输出结果。

DDFS 电路设计的时序关系如图 4 所示。

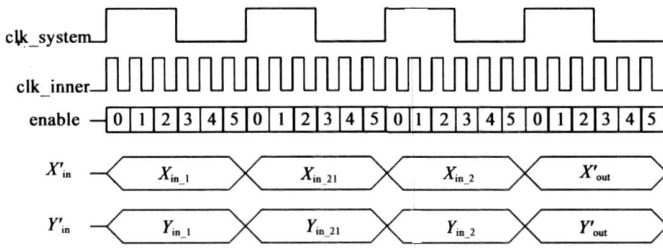
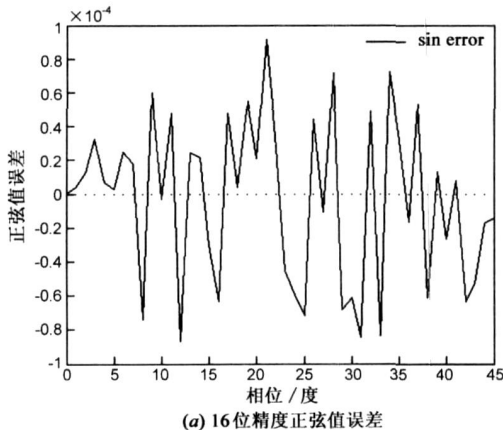


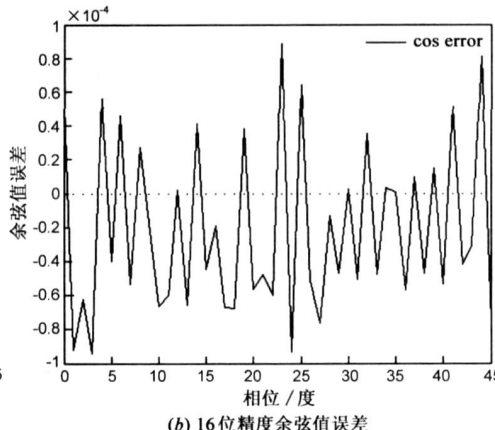
图 4 DDFS 的时序

5 系统仿真与验证

首先，我们对设计方案的输出结果进行了误差统计。在 16 位精度条件下，当系统输入值 $X_{in} = 16'h4000$



(a) 16 位精度正弦值误差



(符号数 1)， $Y_{in} = 16'h0000$ 时，输出值为 $X_{in} = \cos\theta$ ， $Y_{in} = \sin\theta$ (θ 为输入频率控制字对应的相位)，在 $[0, \pi/4]$ 抽取样点与理想值进行比较，误差统计结果如图 5 所示。从统计结果可以看出，16 位精度下，改进混合式 CORDIC 算法的正余弦值精度可达 10^{-5} 数量级。

其次，根据设计搭建了软件仿真平台，对设计的直接数字频率合成器的输出频谱进行了仿真，并与基于传统 CORDIC 算法流水线实现结构的 DDFS 进行了对比。

当基准频率为 81.92MHz，输入频率控制字为 19'h1FF99 时的频谱如图 6 所示。从频谱图中可以看出，本文设计的直接数字频率合成器输出频谱比基于传统 CORDIC 算法流水线实现结构输出频谱谱质明显较好，波形的杂散小于 -70dB。

表 1 三种实现方案的测试结果对比

实现方案	相位精度	使用资源			最大频率 (MHz)
		Slices	Slice Flip Flops	4 input LUTs	
循环迭代结构 ^[9]	2^{16}	611	85	1161	69.3
流水线结构 ^[9]	2^{16}	570	221	1061	119.3
本文设计	2^{20}	403	198	718	121.6

本设计电路的实现采用 Verilog 语言描述，基于 Xilinx 公司的 FPGA Spartan 3 xc3s50-pq800 对代码进行了综合、布局布线和实验验证，并与文献[9]中的两种实现方案的测试结果进行了对比，对比结果和性能参数如表 1 所示。

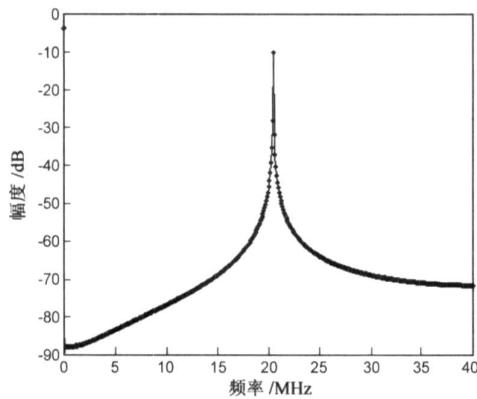
从统计数据可以看到，本文设计的基于改进混合式 CORDIC 算法的直接数字频率合成器相位精度明显高于文献中的两种实现方案，同时在运算速度和资源利用率上具有一定的优势。

6 结论

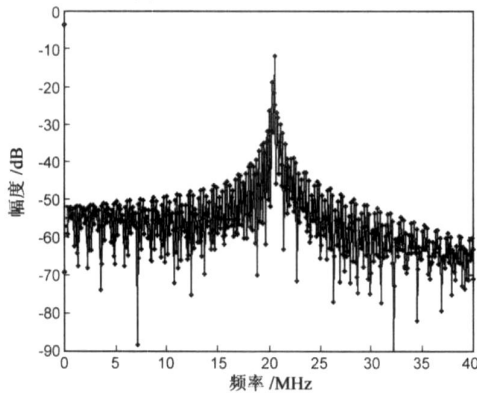
本文提出一种直接数字频率合成器的设计方法，不仅输出频谱质量好——杂散小于 -70dB，而且降低了运算复杂度，同时在运算速度和资源利用率上具有一定的优势。研究结果经过系统仿真和 FPGA 验证，均表现出良好的性能。

提出的流水线多级循环迭代的 DDFS 实现结构，能够根据用户期望的性能和输出精度要求所定义的总迭代次数，适当地调整流水段数和每级循环迭代次数，对有线和无线网络中的混频器、三角函数计算、离散傅立叶变换等相关硬件

图 5 16 位精度正余弦值误差统计



(a) 基于设计的 DDS 输出频谱图



(b) 基于传统 CORDIC 算法的 DDS 输出频谱图

图 6 DDS 输出频谱图

设计均适用,具有一定的普遍性和实用性.该算法已成功用于宽带网络 SoC 芯片的频率调制模块,并表现出良好的性能.该方法,还可作为其它无线通系统的变频模块设计的可选方案之一.

参考文献:

- [1] Chimakurthy L S J, Ghosh M, et al. A novel DDS using nonlinear ROM addressing with improved compression ratio and quantization noise [J]. IEEE Transactions on Ultrasonics Ferroelectrics and Frequency Control, 2006, 53(2): 274–283.
- [2] Zhu Yuhong, Zhang Qishan, Chang Qin. Design of an algorithm of mapping from phase to sine amplitude in DDS of a GPS signal simulator system [J]. Journal of Beijing University of Aeronautics and Astronautics, 2005, 31(12): 1308–1311.
- [3] Tian Shulin, Wang Houjun, Xu Hongbin. A research of signal generator technology based on CORDIC algorithm [J]. Chinese Journal of Scientific Instrument, 2002, 23(z3): 150–153.
- [4] Chang Yong Kang, Swartzlander E. E. Jr. Digit-pipelined direct digital frequency synthesis based on differential CORDIC [J]. IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 2006, 53(5): 1035–1044.
- [5] J Volder. The CORDIC trigonometric computing technique [J]. IRE Transactions on Electronic Computers, 1959, 8: 330–334.
- [6] Wang S, Piuri V, et al. Hybrid CORDIC algorithms [J]. IEEE

Transactions on Computers, 1997, 46(11): 1202–1207.

- [7] Garcia, E I, Cumplido R, et al. Pipelined CORDIC design on FPGA for a digital sine and cosine waves generator [A]. 2006 3rd International Conference on Electrical and Electronics Engineering [C]. Veracruz: IEEE Press, 2006. 1–4.
- [8] Sung T Y. Memory-efficient and high speed split radix FFT/IFFT processor based on pipelined CORDIC rotations [J]. IEE Proceedings Vision Image and Signal Processing, 2006, 153(4): 405–410.
- [9] Zaidi T, Chaudry Q, et al. An area and time efficient collapsed modified CORDIC DDS architecture for high rate digital receivers [A]. Proceedings of INMIC 2004 the 8th International Multitopic Conference [C]. United States: IEEE Computer Society Press, 2004. 677–681.

作者简介:



张晓彤 男, 1968 年 5 月出生于山西省原平市. 现为北京科技大学计算机系副教授. 主要研究方向为网络与通信、嵌入式系统、IC 设计、信号处理.

Email: zxt@ies.usb.edu.cn



辛茹 女, 1982 年 10 月出生于新疆维吾尔自治区阿克苏市. 北京科技大学硕士研究生. 主要研究方向为计算机系统结构、集成电路设计.

Email: xinnu0199@sina.com



王沁 女, 1961 年 2 月出生于湖北省武汉市. 现为北京科技大学计算机系教授、博士生导师. 主要研究方向为计算机系统结构、集成电路设计、无线传感器网络、网络与通信 SoC.

Email: wangqin@ies.usb.edu.cn



李涵 男, 1979 年 8 月出生于河南省洛阳市. 北京科技大学博士研究生. 主要研究方向为数字通信、数字信号处理、集成电路设计.

Email: li.han@eyou.com